

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yukio MIYACHI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: PRESSURE-WELDED SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2002-266940

September 12, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and

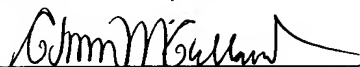
☐ (B) Application Serial No.(s) _____

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Norman F. Oblon

Registration No. 24,618

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 1 2 日
Date of Application:

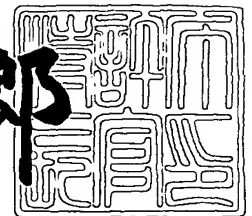
出 願 番 号 特 願 2 0 0 2 - 2 6 6 9 4 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 6 6 9 4 0]

出 願 人 株式会社豊田中央研究所
Applicant(s):

2 0 0 3 年 7 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 4 5 3 2

【書類名】 特許願

【整理番号】 TCP-00176

【提出日】 平成14年 9月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/52

【発明者】

 【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内

 【氏名】 宮地 幸夫

【発明者】

 【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内

 【氏名】 岡本 篤人

【特許出願人】

 【識別番号】 000003609

 【氏名又は名称】 株式会社豊田中央研究所

【代理人】

 【識別番号】 100079049

 【弁理士】

 【氏名又は名称】 中島 淳

 【電話番号】 03-3357-5171

【選任した代理人】

 【識別番号】 100084995

 【弁理士】

 【氏名又は名称】 加藤 和詳

 【電話番号】 03-3357-5171

【手数料の表示】

 【予納台帳番号】 006839

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102478

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 圧接型半導体装置

【特許請求の範囲】

【請求項 1】 1つ以上の素子側電極を設けた第 1 の主面と、該第 1 の主面と反対側の面に 1つ以上の素子側電極を設けた第 2 の主面とを含む、少なくとも 1 個以上の半導体素子が、

対向配置された第 1 の筐体板と第 2 の筐体板とを含み、前記第 1 の筐体板の対向面に第 1 の筐体側電極と、前記第 2 の筐体板の対向面に第 2 の筐体側電極とが設けられた筐体の内部に、

前記第 1 の筐体側電極と前記第 1 の主面に設けた 1つ以上の素子側電極とが圧接し、且つ、前記第 2 の筐体側電極と前記第 2 の主面に設けた 1つ以上の素子側電極とが圧接するように組み込まれた圧接型半導体装置において、

前記第 1 の筐体側電極と前記第 1 の主面に設けた素子側電極との圧接部、および／または、前記第 2 の筐体側電極と前記第 2 の主面に設けた素子側電極との圧接部に、導電性炭素を含む緩衝導電層が設けられたことを特徴とする圧接型半導体装置。

【請求項 2】 前記導電性炭素が、カーボンナノチューブであることを特徴とする請求項 1 に記載の圧接型半導体装置。

【請求項 3】 前記カーボンナノチューブが、前記緩衝導電層の厚み方向に配向していることを特徴とする請求項 2 に記載の圧接型半導体装置。

【請求項 4】 前記緩衝導電層が、前記第 1 の筐体側電極と圧接部を形成する前記第 1 の主面に設けられた素子側電極の表面、および／または、前記第 2 の筐体側電極と圧接部を形成する前記第 2 の主面に設けられた素子側電極の表面、に密着して設けられていることを特徴とする請求項 1～3 のいずれか 1 つに記載の圧接型半導体装置。

【請求項 5】 前記緩衝導電層が、前記第 1 の筐体側電極表面、および／または、前記第 2 の筐体側電極表面に密着して設けられていることを特徴とする請求項 1～4 のいずれか 1 つに記載の圧接型半導体装置。

【請求項 6】 前記第 1 の主面および／または前記第 2 の主面に設けられた

素子側電極の少なくとも圧接面が、炭化物の形成が可能な触媒機能を有する金属を含むことを特徴する請求項 1～5 のいずれか 1 つに記載の圧接型半導体装置。

【請求項 7】 前記炭化物の形成が可能な触媒機能を有する金属が、Ni、Fe、Co から選ばれるいずれか 1 つ以上を含むことを特徴とする請求項 6 に記載の圧接型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子を用いた圧接型半導体装置に関する。

【0002】

【従来の技術】

圧接型半導体装置は、絶縁ゲート型バイポーラトランジスタ（以下、「IGBT」と略す）やMOS型電界効果トランジスタ（以下、「MOSFET」と略す）などの半導体素子の 2 つの主面に各々 1 つ以上設けられた電極（以下、「素子側電極」と略す）を、前記素子側電極に接触する筐体側の電極（以下、「筐体側電極」と略す）で加圧する構造を有している。この圧接型半導体装置は、素子側電極と筐体側電極との接続にはんだを用いないために信頼性が高い。

【0003】

この素子側電極と筐体側電極との接触面における真実接触面積は、加圧力によって支配されている。前記真実接触面積が小さい場合には、素子側電極と筐体側電極との間で電気抵抗が大きくなったり、前記半導体素子に発生する熱の放散が困難になる。この場合、圧接型半導体装置として十分な性能の発揮ができなくなったり、信頼性が低下する。このため、前記真実接触面積を大きくするために加圧力は大きければ大きい程好ましい。

しかし、加圧力を大きくした場合、加圧の為の加圧部分の構成が大掛かりとなるために、圧接型半導体装置の小型化・軽量化が困難であり、また、製造コストも高くなる。

【0004】

一方、素子側電極（中間電極板）と筐体側電極（共通電極板）との圧接部に、

Ni等の導電性の不織布を配置することが提案されている（特許文献1参照）。この場合、上記した従来の圧接型半導体と比較すると、比較的低い加圧力でも、接触面の高さのばらつきを十分に吸収できるために、電気抵抗を小さく抑えることができると共に、熱の放散も効率的に行うことができる。

【0005】

しかし、導電性の不織布を用いているために、電気および熱は、繊維と繊維との接触点のみで伝達され、繊維と繊維との間の空隙は電気や熱の良導体としては機能しない。従って、例えば、導電性の不織布がNiのような金属からなる場合には、Ni不織布の電気抵抗および熱伝導率は、バルク状のNi本来の値よりも少なからず低下することになる。

【0006】

従って、特許文献1に記載の技術を、金属のはんだ接続等によりバルク状の導電性物質を素子側電極と筐体側電極との間に設けた場合と比較すると、電気抵抗の低下や、熱伝導率の向上という点では、劣らざるを得ない。

【0007】

加えて、導電性の不織布を用いて圧接型半導体装置を組み立てる場合には、素子側電極と筐体側電極との間に、導電性の不織布を正確に配置しなければならない。導電性の不織布が、位置ずれを起こした状態で、素子側電極と筐体側電極との間に配置された場合には、圧接型半導体素子内の他の配線や電極と接触する可能性がある。この場合、圧接型半導体素子としての本来の性能が発揮できなくなる他に、電氣的に短絡する等の問題が発生する場合もありえる。このような問題は、導電性の不織布の位置ずれのみならず、経時劣化による繊維長の長い繊維の脱落によっても起こることも懸念される。

さらに、圧接型半導体装置の製造に際して、導電性の不織布の位置ずれそのものを防止することが必要となるため、圧接型半導体素子の組み立て工程がより複雑となり、製造コストも増大する。

【0008】

【特許文献1】

特開 2000-68297号公報

【0009】

【発明が解決しようとする課題】

本発明は、上記問題点を解決することを課題とする。すなわち、本発明は、半導体素子に加えられる圧力が小さくても、素子側電極と筐体側電極との圧接部での電気抵抗および熱抵抗の小さい圧接型半導体装置を提供することを課題とする。

【0010】

【課題を解決するための手段】

上記課題は以下の本発明により達成される。すなわち、本発明は、

<1> 1つ以上の素子側電極を設けた第1の主面と、該第1の主面と反対側の面に1つ以上の素子側電極を設けた第2の主面とを含む、少なくとも1個以上の半導体素子が、

対向配置された第1の筐体板と第2の筐体板とを含み、前記第1の筐体板の対向面に第1の筐体側電極と、前記第2の筐体板の対向面に第2の筐体側電極とが設けられた筐体の内部に、

前記第1の筐体側電極と前記第1の主面に設けた1つ以上の素子側電極とが圧接し、且つ、前記第2の筐体側電極と前記第2の主面に設けた1つ以上の素子側電極とが圧接するように組み込まれた圧接型半導体装置において、

前記第1の筐体側電極と前記第1の主面に設けた素子側電極との圧接部、および／または、前記第2の筐体側電極と前記第2の主面に設けた素子側電極との圧接部に、導電性炭素を含む緩衝導電層が設けられたことを特徴とする圧接型半導体装置である。

【0011】

<2> 前記導電性炭素が、カーボンナノチューブであることを特徴とする<1>に記載の圧接型半導体装置である。

【0012】

<3> 前記カーボンナノチューブが、前記緩衝導電層の厚み方向に配向していることを特徴とする<2>に記載の圧接型半導体装置である。

【0013】

< 4 > 前記緩衝導電層が、前記第 1 の筐体側電極と圧接部を形成する前記第 1 の主面に設けられた素子側電極の表面、および／または、前記第 2 の筐体側電極と圧接部を形成する前記第 2 の主面に設けられた素子側電極の表面、に密着して設けられていることを特徴とする< 1 >～< 3 >のいずれか 1 つに記載の圧接型半導体装置である。

【0014】

< 5 > 前記緩衝導電層が、前記第 1 の筐体側電極表面、および／または、前記第 2 の筐体側電極表面に密着して設けられていることを特徴とする< 1 >～< 4 >のいずれか 1 つに記載の圧接型半導体装置である。

【0015】

< 6 > 前記第 1 の主面および／または前記第 2 の主面に設けられた素子側電極の少なくとも圧接面が、炭化物の形成が可能な触媒機能を有する金属を含むことを特徴する< 1 >～< 5 >のいずれか 1 つに記載の圧接型半導体装置である。

【0016】

< 7 > 前記炭化物の形成が可能な触媒機能を有する金属が、Ni、Fe、Co から選ばれるいずれか 1 つ以上を含むことを特徴とする< 6 >に記載の圧接型半導体装置である。

【0017】

【発明の実施の形態】

以下に、本発明の詳細について、圧接型半導体装置、圧接型半導体装置の構成、圧接型半導体装置の製造方法の順に説明する。

【0018】

(圧接型半導体装置)

本発明は、1 つ以上の素子側電極を設けた第 1 の主面と、該第 1 の主面と反対側の面に 1 つ以上の素子側電極を設けた第 2 の主面とを含む、少なくとも 1 個以上の半導体素子が、

対向配置された第 1 の筐体板と第 2 の筐体板とを含み、前記第 1 の筐体板の対向面に第 1 の筐体側電極と、前記第 2 の筐体板の対向面に第 2 の筐体側電極とが

設けられた筐体の内部に、

前記第1の筐体側電極と前記第1の主面に設けた1つ以上の素子側電極とが圧接し、且つ、前記第2の筐体側電極と前記第2の主面に設けた1つ以上の素子側電極とが圧接するように組み込まれた圧接型半導体装置において、

前記第1の筐体側電極と前記第1の主面に設けた素子側電極との圧接部、および／または、前記第2の筐体側電極と前記第2の主面に設けた素子側電極との圧接部に、導電性炭素を含む緩衝導電層が設けられたことを特徴とする。

【0019】

従って、本発明の圧接型半導体装置は、半導体素子に加えられる加圧力が小さくても、素子側電極と筐体側電極との圧接部での電気抵抗および熱抵抗を小さくすることができる。

このため、本発明の圧接型半導体装置は、従来の圧接型半導体装置と比べると、半導体素子を加圧するための構成が小型化・単純化できるため、圧接型半導体装置の構造の簡素化、小型化・軽量化が可能で、製造コストも削減することができる、信頼性も向上させることができる。

【0020】

緩衝導電層は、1層からなる単層構造であってもよいが、2層以上の多層構造からなるものであってもよい。また、緩衝導電層は、素子側電極の表面や筐体側電極の表面に密着して設けられた膜状のものでもよく、シート状のものであってもよく、これらを組み合わせたものであってもよい。

【0021】

緩衝導電層の厚みは、特に限定されないが、素子側電極や筐体側電極の表面との真実接触面積が大きくなるように加圧された際に十分に変形できることが必要であることから、100nm以上が好ましく、1 μ m以上がより好ましく、10 μ m以上が特に好ましい。厚みが、100nm未満の場合には、緩衝導電層が加圧された際に十分に変形することができず、比較的低い圧力でも電気抵抗や熱抵抗を小さくすることが困難になる場合にある。

【0022】

一方、緩衝導電層の厚みは大きければ大きい程よく、その上限値は特に限定さ

れないが、圧接型半導体装置の生産性や製造コスト、小型化等の実用上の観点から、2 mm以下が好ましく、1 mm以下がより好ましい。

【0023】

このような緩衝導電層は、少なくとも導電性炭素を含むものであれば特に限定されず、緩衝導電層中に含まれる導電性炭素は0.01 ppm以上が好ましく、10質量%以上が好ましく、緩衝導電層が実質的に導電性炭素のみから構成されることが最も好ましい。

緩衝導電層に含まれる導電性炭素としては、公知の導電性炭素であれば特に限定されないが、例えばカーボンナノチューブやカーボンファイバー、カーボンマイクロコイル等を挙げることができ、2種類以上を組み合わせ用いてもよい。

【0024】

なお、本発明においては、導電性炭素の中でも、カーボンナノチューブを用いることが好ましい。カーボンナノチューブを用いない場合には、加圧力に対して素子側電極と筐体側電極との圧接部での電気抵抗および熱抵抗を小さくすることが困難になる場合がある。

カーボンナノチューブとしては、公知の導電性を有するカーボンナノチューブであれば如何なるものでも用いることができ、例えば、マルチウォールカーボンナノチューブ（以下、「多層CNT」と略す場合がある）、金属的振るまいを示すシングルウォールカーボンナノチューブ（以下、「単層CNT」と略す場合がある）、多層CNTや単層CNTがスパイラル状に巻かれたカーボンナノコイル等を挙げることができ、これらを2種類以上組み合わせ用いることができる。

【0025】

緩衝導電層がカーボンナノチューブを含む場合には、前記緩衝導電層の導電性や熱伝導率の観点から、カーボンナノチューブの結晶性は高い方が好ましく、また、前記緩衝導電層の厚み方向に配向していることが好ましい。但し、当該配向とは、少なくとも概ね配向していることを意味するものである。

【0026】

上記したような緩衝導電層は、第1の筐体側電極と圧接部を形成する第1の主面に設けられた素子側電極の表面、および／または、第2の筐体側電極と圧接部

を形成する第 2 の主面に設けられた素子側電極の表面、に密着して設けられていることが好ましい。

緩衝導電層が、これら素子側電極の表面に密着して設けられていない場合には、圧接部に設けられる緩衝導電層が位置ずれを起こしたり、圧接部から脱落したりすることによって、電気抵抗や熱抵抗が増加したり、対向する素子側電極および筐体側電極がこれら以外の電極と短絡等を起こしたりして素子側電極と筐体側電極との間の導通そのものが出来なくなる場合がある。

【 0 0 2 7 】

なお、同一の圧力で電気抵抗および熱抵抗をより小さくするには、緩衝導電層は、第 1 の筐体側電極と圧接部を形成する第 1 の主面に設けられた素子側電極の表面、および、第 2 の筐体側電極と圧接部を形成する第 2 の主面に設けられた素子側電極の表面、に密着して設けられていることがより好ましい。

【 0 0 2 8 】

一方、上記したように緩衝導電層を、素子側電極の表面に密着して設けない場合には、筐体側電極の表面に密着して設けてもよい。

すなわち、緩衝導電層が、第 1 の筐体側電極表面、および／または、第 2 の筐体側電極表面に密着して設けられていることが好ましい。

緩衝導電層が、これら筐体側電極の表面に密着して設けられていない場合には、圧接部に設けられる緩衝導電層が位置ずれを起こしたり、圧接部から脱落したりすることによって、電気抵抗や熱抵抗が増加したり、素子側電極と筐体側電極との間の導通そのものが出来なくなる場合がある。

【 0 0 2 9 】

なお、同一の圧力で電気抵抗および熱抵抗をより小さくするには、緩衝導電層は、第 1 の筐体側電極表面、および、第 2 の筐体側電極表面に密着して設けられていることがより好ましい。

【 0 0 3 0 】

素子側電極を構成する主な材料としては導電性を有する材料であれば特に限定されないが、既述したように素子側電極の表面に緩衝導電層を密着して設ける場合には、第 1 の主面および／または第 2 の主面に設けられた素子側電極の少なく

とも圧接面が、炭化物の形成が可能な触媒機能を有する金属を含むことが好ましい。

素子側電極の圧接面に炭化物の形成が可能な触媒機能を有する金属を設けない場合には、前記素子側電極と緩衝導電層との密着性が十分に得られなかったり、CVD (Chemical Vapor Deposition) 法等によりカーボンナノチューブ等の柱状の導電性炭素を成膜する場合には、緩衝導電層が形成できなかったり、その結晶性や配向性が低くなる場合がある。

【0031】

なお、「炭化物の形成が可能な触媒機能を有する金属」としては、公知の炭化物の形成が可能な触媒機能を有する金属であれば如何なるものであってもよく、具体例としては、Fe、Ni、Co、Ti、Zr、Hf、Ca、Zr、Ce、Pr、Er、Si、Mo、V、Y、Rh、Pd、Pt、La、Nd、Gd、Tb、Dy、Ho、Lu等を挙げることができ、これらを2種類以上組み合わせて用いてもよい。

さらに、これら炭化物の形成が可能な触媒機能を有する金属の内でも、特にカーボンナノチューブ形成の観点からは、Fe、Ni、Coから選ばれるいずれか1種類あるいは2種類以上を組み合わせて用いることが好ましい。

【0032】

なお、素子側電極の少なくとも圧接面に、炭化物の形成が可能な触媒機能を有する金属を含ませる方法は特に限定されず、公知の方法を利用することができる。例えば、素子側電極そのものが、導電性を有し、且つ、炭化物の形成が可能な触媒機能を有する金属から構成されていてもよい。あるいは、素子側電極が炭化物の形成が可能な触媒機能を有する金属を含む合金や焼結体から構成されていてもよく、素子側電極の表面近傍に、イオン注入により炭化物の形成が可能な触媒機能を有する金属を注入したり、素子側電極の表面にスパッタ等の気相成膜法を用いて炭化物の形成が可能な触媒機能を有する金属からなる薄膜を設けてもよい。

【0033】

一方、既述したように筐体側電極の表面に緩衝導電層を密着して設ける場合に

も、上記したような素子側電極の場合と同様に、第 1 の筐体側電極および／または第 2 の筐体側電極の少なくとも圧接面が、炭化物の形成が可能な触媒機能を有する金属を含むことが好ましい。

【0034】

なお、本発明の圧接型半導体装置は、1 つ以上の素子側電極を設けた第 1 の主面と、該第 1 の主面と反対側の面に 1 つ以上の素子側電極を設けた第 2 の主面を含む、少なくとも 1 個以上の半導体素子が、対向配置された第 1 の筐体板と第 2 の筐体板とを含み、前記第 1 の筐体板の対向面に第 1 の筐体側電極と、前記第 2 の筐体板の対向面に第 2 の筐体側電極とが設けられた筐体の内部に、前記第 1 の筐体側電極と前記第 1 の主面に設けた 1 つ以上の素子側電極とが圧接し、且つ、前記第 2 の筐体側電極と前記第 2 の主面に設けた 1 つ以上の素子側電極とが圧接するように組み込まれたものであれば特に限定されず、必要に応じて、他の構成部材や機能を備えたものであってもよい。

【0035】

例えば、筐体には、圧接部に十分な圧力が加えられ、且つ、この圧力を安定して維持できるように、加圧手段としてボルトやナット等を取りつけてもよい。また、半導体素子で発生し、第 1 の筐体板や第 2 の筐体板に伝達された熱を筐体の外部により効率的に放散させるために、筐体の外部に水冷ブロック等の冷却手段を設けてもよい。あるいは、圧接型半導体装置内や、圧接型半導体装置外部との電気的な回路を形成するために、必要に応じて、素子側電極や第 1 の筐体側電極、第 2 の筐体側電極にはんだやワイヤボンド等によって配線を接続してもよい。

【0036】

なお、第 1 および第 2 の筐体板は、第 1 および第 2 の筐体側電極や、半導体素子が、少なくとも筐体の外部と電気的に短絡するのを防止しする機能を有し、筐体を構成するものであり、絶縁体、あるいは、少なくとも絶縁体を含む部材から構成されるものであれば特に限定されない。

また、前記半導体素子としては、上記したような構成を有するものであれば、I G B T 等の公知の半導体素子を用いることができる。

【0037】

(圧接型半導体装置の構成)

次に、本発明の圧接型半導体装置の構成について図面を用いて具体的に説明する。但し、本発明の圧接型半導体装置の構成は、以下の図面の構成のみに限定されるものではない。

【0038】

図1は、本発明の圧接型半導体装置の構成の一例を示す模式断面図であり、第1の筐体板と第2の筐体板との間に挟持された1つの半導体素子近傍の模式断面図について示した圧接型半導体装置の部分構造について示したものである。

図1において、1は圧接型半導体装置、10、10'は第1の筐体側電極、11は第1の筐体板、20は第2の筐体側電極、21は第2の筐体板、31は第1の素子側電極、32は第2の素子側電極、33は第3の素子側電極、34は絶縁層、35は半導体素子主要部、36は半導体素子、41は第1の緩衝導電層、42は第2の緩衝導電層、43は第3の緩衝導電層、51は第1の主面、52は第2の主面を表す。

【0039】

圧接型半導体装置1は、図1に示されるように、第1の筐体側電極10、10'、第1の筐体板11、第2の筐体側電極20、第2の筐体板21、第1の素子側電極31、第2の素子側電極32、第3の素子側電極33、絶縁層34、半導体素子主要部35、半導体素子36、第1の緩衝導電層41、第2の緩衝導電層42、第3の緩衝導電層43から構成されるが、必要に応じてその他の構成部材を有するものであってもよい。

【0040】

半導体素子36は、第1の素子側電極31と、第2の素子側電極32と、第3の素子側電極33と、絶縁層34と、半導体素子主要部35と、から構成される。半導体素子主要部35の表面には、第1の主面51に第1の素子側電極31と第2の素子側電極32とが設けられ、第1の主面51と平行で反対側の第2の主面52に第3の素子側電極33が設けられている。また、第1の素子側電極31と第2の素子側電極32とを絶縁するために、半導体素子主要部35表面に、絶縁層34が、第1の素子側電極31と第2の素子側電極32との間に設けられて

おり、第1の素子側電極31の絶縁層34が設けられた側の反対側と、第2の素子側電極32の絶縁層34が設けられた側の反対側と、にも不図示の絶縁層が設けられている。

【0041】

また、第1の素子側電極31、第2の素子側電極32、および、第3の素子側電極33は、半導体素子主要部35表面に対して、導通可能なように密着、あるいは、半導体素子主要部35内部に設けられた導通可能な部分と薄い絶縁層を介して導通不可能なように密着して設けられている。

【0042】

半導体素子36の第1の主面51側には、第1の筐体板11が設けられ、半導体素子36の第2の主面52側には、第1の筐体板11と平行な第2の筐体板21が設けられている。また、第1の筐体板11の第1の主面51側には第1の筐体側電極10と、もうひとつの第1の筐体側電極10'とが、相互に導通不可能なように設けられ、第2の筐体板21の第2の主面52側には第2の筐体側電極20が設けられている。なお、第1の筐体側電極10は、第1の素子側電極31と圧接可能なように第1の筐体板11表面に設けられており、第1の筐体側電極10'は、第2の素子側電極32と圧接可能なように第1の筐体板11表面に設けられている。

【0043】

第1の筐体側電極10と第1の素子側電極31との第1の圧接部（間）には第1の緩衝導電層41が設けられ、第1の筐体側電極10'と第2の素子側電極32との第2の圧接部（間）には第2の緩衝導電層42が設けられ、第2の筐体側電極10と第3の素子側電極33との第3の圧接部（間）には第3の緩衝導電層43が設けられている。

なお、前記第1～第3の圧接部に圧力が加わるように、第1の筐体板11の半導体素子36が設けられた側の反対側の面に、不図示の加圧手段によって矢印P1方向に圧力が均等に加えられており、第2の筐体板21の半導体素子36が設けられた側の反対側の面に、不図示の加圧手段によって矢印P2方向に圧力が均等に加えられている。

【0044】

従って、半導体素子 36 は、第 1 の筐体側電極 10、10' および第 2 の筐体側電極 20 と導通可能であり、半導体素子 36 に発生する熱を、半導体素子 36 の外部へ効率的に放散することが可能である。

なお、第 1 の緩衝導電層 41、第 2 の緩衝導電層 42、および、第 3 の緩衝導電層 43 は、本発明に用いられる導電性炭素を含む緩衝導電層からなるため、半導体素子 36 に加えられる圧力（圧力 P1 と圧力 P2 との和）が小さくても、前記第 1 ～第 3 の圧接部における電気抵抗や熱抵抗を小さくすることができる。

【0045】

なお、図 1 に示す圧接型半導体素子 1 は、第 1 ～第 3 の圧接部の全てに緩衝導電層が設けられているが、これに限定されるものではなく、第 1 の圧接部、第 2 の圧接部、第 3 の圧接部の少なくともいずれか 1 つの圧接部に緩衝導電層が設けられていればよい。このような圧接型半導体装置の例を図 2 により以下に説明する。

【0046】

図 2 は、本発明の圧接型半導体装置の構成の他の例を示す模式断面図であり、図 1 に示す圧接型半導体装置 1 において、第 2 の圧接部に第 2 の緩衝導電層 42 を設けないことにより、第 2 の素子側電極 32 と第 1 の筐体側電極 10 とを接続せずに、第 2 の素子側電極 32 を不図示の配線を介して第 1 の筐体側電極 10 以外の部分に接続する場合の構成について示したものである。

図 2 において、2 は圧接型半導体装置を表し、図 1 と共通する符号および記号で表される部分については、図 1 に示す部分と実質的に同様のものを表す。

【0047】

図 2 に示す圧接型半導体装置 2 は、第 1 の圧接部に第 1 の緩衝導電層 41 が設けられ、第 3 の圧接部に第 3 の緩衝導電層 43 がもうけられている為に、半導体素子 36 は、第 1 の筐体側電極 10 および第 2 の筐体側電極 20 と導通可能であり、半導体素子 36 に発生する熱を、半導体素子 36 の外部へ効率的に放散することが可能である。

なお、第 2 の素子側電極 32 表面は、ワイヤボンド等によって、不図示の配線

に接続されるものであるが、第2の素子側電極32を設けずに、第2の素子側電極32が設けられている部分の半導体素子主要部35の表面に不図示の配線を直接接続してもよい。

【0048】

本発明の圧接型半導体装置は、図1や図2に説明したような構成以外にも他の構成部材を有するものであってもよい。

例えば、必要に応じて第1の筐体側電極10、10'や第2の筐体側電極20の表面には、ワイヤボンド等によって配線を接続してもよい。また、第1の筐体板11の半導体素子36が設けられた側と反対側の面、および、第2の筐体板21の半導体素子36が設けられた側と反対側の面には、半導体素子36で発生した熱をより効果的に放散させるための冷却用の部材を設けてもよい。さらに、半導体素子36に圧力を加えるために、第1の筐体板11と第2の筐体板21とが相互に接近する方向に力が加わるように、第1の筐体板11と第2の筐体板21とをボルトおよびナットを用いて固定してもよい。

【0049】

このような、冷却用の部材や、ボルトおよびナットからなる加圧手段を備えた圧接型半導体素子について図3を用いて説明する。

図3は、本発明の圧接型半導体装置の構成の他の例を示す模式断面図であり、図1に示す圧接型半導体装置の構成に加えて、冷却用の部材およびボルトおよびナットからなる加圧手段を備えた構成を有する圧接型半導体装置について示したものである。

【0050】

図3において、図1と共通する符号で表される部分、および、これらの相対的な位置関係は図1に示す場合と同様である。また、図3中、3は圧接型半導体装置、50は第1の放熱板、51は第1の水冷ブロック、52は液体流路、60は第2の放熱板、61は第2の水冷ブロック、62は液体流路、70および71はボルト、72および73はナットを表す。

【0051】

圧接型半導体装置3は、図1と同様の構成を有する符号10、10'、11、

2 0、2 1、3 1、3 2、3 3、3 4、3 5、4 1、4 2 および 4 3 で示される部分に加えて、第 1 の放熱板 5 0、第 1 の水冷ブロック 5 1、第 2 の放熱板 6 0、第 2 の水冷ブロック 6 1、ボルト 7 0、ボルト 7 1、ナット 7 2、ナット 7 3 から構成されている。

【 0 0 5 2 】

第 1 の放熱板 5 0 は、第 1 の筐体板 1 1 の半導体素子 3 6 が設けられた側と反対側の面に設けられ、第 2 の放熱板 6 0 は、第 2 の筐体板 2 1 の半導体素子 3 6 が設けられた側と反対側の面に設けられている。また、第 1 の水冷ブロック 5 1 は、第 1 の放熱板 5 0 の半導体素子 3 6 が設けられた側と反対側の面に設けられ、第 2 の水冷ブロック 6 1 は、第 1 の放熱板 6 0 の半導体素子 3 6 が設けられた側と反対側の面に設けられている。

【 0 0 5 3 】

第 1 の水冷ブロック 5 1 中には、冷却水を流すための液体流路 5 2 が設けられ、第 2 の水冷ブロック 6 1 中には、冷却水を流すための液体流路 6 2 が設けられている。液体流路 5 2 および液体流路 6 2 は、圧接型半導体装置 3 の外部に設けられた不図示の冷却水供給源に接続されており、冷却水は、前記冷却水供給源と、液体流路 5 2 および 6 2 との間を循環することが可能である。

従って、半導体素子 3 6 で発生し、第 1 の水冷ブロック 5 1 および第 2 の水冷ブロック 6 2 へと伝達した熱は、液体流路 5 2 および 6 2 中に流れる冷却水によって、圧接型半導体装置 3 の外部へと効率的に放熱される。

【 0 0 5 4 】

また、第 1 の放熱板 5 0 および第 1 の水冷ブロック 5 1 と、第 2 の放熱板 6 0 および第 2 の水冷ブロック 6 1 と、が半導体素子 3 6 に対して押圧するような力が加わるように、第 1 の放熱板 5 0、第 1 の水冷ブロック 5 1、第 2 の放熱板 6 0、および、第 2 の水冷ブロック 6 1 の板厚方向に設けられた破線で示される 2 つのネジ穴に、ボルト 7 0 およびボルト 7 1 の先端が、第 2 の水冷ブロック 6 1 から、第 2 の放熱板 6 0、第 1 の放熱板 5 0、第 1 の水冷ブロック 5 1 の順に貫くように、ボルト 7 0 およびボルト 7 1 が挿入され、第 1 の水冷ブロック 5 1 の半導体素子 3 6 が設けられた側と反対側の面に突き出たボルト 7 0 および 7 1 の

先端部分が、各々ナット 72 および 73 によって締められている。

【0055】

従って、緩衝導電層 41 を挟んで圧接している第 1 の筐体側電極 10 と第 1 の素子側電極 31 との間や、緩衝導電層 42 を挟んで圧接している第 1 の筐体側電極 10' と第 2 の素子側電極 32 との間、また、緩衝導電層 43 を挟んで圧接している第 2 の筐体側電極 20 と第 3 の素子側電極 33 との間では、良好且つ安定した電気および熱の導通を確保することができる。

【0056】

なお、第 1 の筐体板 11 や第 2 の筐体板 21 は、第 1 の筐体板 11 と接触している第 1 の筐体側電極 10、10' や、第 2 の筐体板 21 と接触している第 2 の筐体側電極 20 の圧接型半導体素子 3 外部との電氣的な短絡を防止するために AIN 等の公知の絶縁体を用いることができる。

また、第 1 の放熱板 50 や第 2 の放熱板 60 は、半導体素子 36 で発生した熱を、効率的に圧接型半導体装置 3 の外部方向へと伝達できるような熱伝導性の高い材料からなるものであれば特に限定されず、例えば CuMo 合金等が用いられる。

【0057】

(圧接型半導体装置の製造方法)

上記に説明したような圧接型半導体装置の製造方法としては、特に限定されず、公知の技術を組み合わせて利用することにより作製することが可能であるが、特に緩衝導電層の形成に関しては、以下に説明するような方法で作製することが好ましい。但し、緩衝導電層を素子側電極に密着して設けることを前提として以下に説明する。

【0058】

—緩衝導電層の形成方法—

緩衝導電層を素子側電極表面に密着して設ける方法としては、公知の方法であれば特に限定されないが、大きく分けて、次の 2 つの方法を利用することができる。すなわち、①気相成膜法を利用する方法と、②導電性炭素を含むペーストを利用する方法とが挙げられ、以下この順に説明する。

【0059】

1) 気相成膜法を利用する方法

気相成膜法を利用する場合には、利用する各種気相成膜法やその成膜条件を選択することによって所望の導電性炭素を素子側電極の表面に形成したり、導電性炭素前駆体を素子側電極の表面に形成した後に、この導電性炭素前駆体を熱分解させることにより導電性炭素を素子側電極の表面に析出させることにより、素子側電極の表面に緩衝導電層を形成することができる。

【0060】

なお、気相成膜を利用する場合には、緩衝導電層を設けようとする素子側電極表面以外の部分に導電性炭素を含む膜が形成されることによって電氣的な短絡が発生すること等を避けるために、フォトリソグラフィーを利用して形成したレジストパターンや、メタルマスク等により、半導体素子の素子側電極が設けられた面の緩衝導電層を設けない領域を予め隠蔽しておくことができる。

【0061】

導電性炭素や導電性炭素の前駆体を形成するための気相成膜方法は、公知の方法であれば特に限定されず、所望の導電性炭素に応じて選択することができる。

以下、導電性炭素がカーボンナノチューブである場合を例にして、具体的に説明する。カーボンナノチューブを含む緩衝導電層を形成する場合には、CVD法等により直接形成することができる。

【0062】

これらの気相成膜を利用した緩衝導電層の形成方法の中でも、カーボンナノチューブの緩衝導電層の厚み方向への配向性の確保・向上や、緩衝導電層形成時の半導体素子への熱的な悪影響抑制の観点からは、特に、熱CVD法やマイクロ波CVD法によりカーボンナノチューブを含む緩衝導電層を直接形成することが好ましい。

【0063】

熱CVD法を用いてカーボンナノチューブを形成する方法としては、例えば、K. Mukhopadhyay等により開示されている方法(Jpn. J. Appl. Phys. 37(1998)L1257)が挙げられる。この方法を用い

た場合、アセチレンを原料ガスとし、600℃程度の温度で比較的結晶性の優れた多層CNTの合成が可能である。

一方、単層CNTは、特願2001-394105号公報に既述されているように800℃以上の高温で合成されることが必要であったが、S. Murayama等により開示されている方法 (Chem. Phys. Lett. 360 (2002) 229) では、エタノールやメタノールを原料ガスとし、550℃程度の温度で合成することも可能である。

従って、上記したような方法を利用すれば、600℃前後、あるいは、それ以下の温度で所望の単層CNTや多層CNTを素子側電極表面に形成することができる。

【0064】

なお、CVD法において用いられる原料ガスとしては、少なくとも、炭素を含むガスを1種類以上含むものであれば特に限定されない。例えば、炭素を含むガスとしては、メタン (CH_4)、エタン (C_2H_6) 等の飽和炭化水素や、エチレン (C_2H_4)、アセチレン (C_2H_2) 等の不飽和炭化水素、ベンゼン (C_6H_6) 等の芳香族炭化水素、エタノール、メタノール等のアルコール類、あるいは、一酸化炭素 (CO) や二酸化炭素 (CO_2) 等を用いることができ、これらに加えて窒素 (N_2) 等の不活性ガスやアルゴン (Ar) 等の希ガスが、上記に列挙したような原料ガスのキャリアガスとして用いることが可能である。

【0065】

2) 導電性炭素を含むペーストを利用する方法

導電性炭素を含むペーストを用いて利用する場合には、ペーストを緩衝導電層を形成しようとする素子側電極表面に塗布することにより形成することができる。

なお、ペーストの塗布は、緩衝導電層を設けようとする素子側電極表面以外の部分に導電性炭素を含む膜が形成されることによって電氣的な短絡の発生すること等を避けるために、スクリーン印刷を利用して塗布したり、メタルマスク等により、半導体素子の素子側電極が設けられた面の緩衝導電層を設けない領域を予め隠蔽した後に塗布することができる。

【0066】

ペーストは導電性炭素と樹脂を含むものであれば特に限定されず、使用する導電性炭素や樹脂の種類、配合量、また、その他の添加成分等については必要に応じて選択することが可能である。

【0067】

－半導体素子の作製と緩衝導電層の形成との関係－

本発明の圧接型半導体装置を作製する場合には、定法により複数の工程を経て作製された半導体素子を用い、この半導体素子の素子側電極に上記したような方法によって緩衝導電層を設けることができる。

しかしながら、半導体素子としての機能を損なわない範囲であれば半導体素子の作製工程や作製方法を必要に応じて変更することができ、例えば、半導体素子の作製工程の途中に緩衝導電層を形成する工程を挿入してもよい。また、半導体素子の構成や、使用される材料等を、必要に応じて変更することも可能である。

このような場合について、半導体素子がトレンチ IGBT 素子である場合を例として以下に具体的に説明する。

【0068】

図4は、半導体素子（トレンチ IGBT 素子）の模式断面図を示すものであり、図1に示す半導体素子36と同様に、第1の主面側に第1の素子側電極31および第2の素子側電極32を設け、第2の主面側に第3の素子側電極33を設けた構造を有する半導体素子（トレンチ IGBT 素子）である。

【0069】

<半導体素子（トレンチ IGBT 素子）の構成>

図4において、図1と共通する符号で表される部分、および、これらの相対的な位置関係は図1に示す場合と同様である。

また、図4中、34' および34'' は絶縁層、36' は半導体素子（トレンチ IGBT 素子）、101はpコレクター層、102はnバッファ層、103はn-エキタピシヤル層、104はpベース層、110は第1のAl層、111は第2のAl層、112は第3のAl層、113はNi層、120は第1のゲート配線、121は第2のゲート配線、122は第3のゲート配線、130は第1のゲ

ート酸化膜、131は第2のゲート酸化膜、140は第1の層間絶縁膜、141は第2の層間絶縁膜、142は第3の層間絶縁膜、143は第4の層間絶縁膜、144は第5の層間絶縁膜、150、150'、151、151'はエミッタ層を表す。

【0070】

半導体素子36'は、半導体素子主要部35と、半導体素子主要部35の第2の主面に、第3のAl層112、Ni層113の順に積層された、これら2つの金属層から構成される第3の素子側電極層33と、半導体素子主要部35の第1の主面に各々設けられた、第1の素子側電極31、第2の素子側電極32、絶縁層34、絶縁層34'、および、絶縁層34"と、から構成される。

なお絶縁層34'は、第2の電極層32の電氣的短絡を防止するために、第2の素子側電極32の絶縁層34が設けられた側の反対側に設けられたものであり、絶縁層34"は、第1の電極層31の電氣的短絡を防止するために、第1の素子側電極31の絶縁層34が設けられた側の反対側に設けられたものである。

【0071】

半導体素子主要部35は、第2の主面側から第1の主面側へと、pコレクター層101、nバッファ層102、n-エキタピシャル層103、pベース層104、および第1のAl層110が順次積層された層構成を有している。

また、第1のAl層110とpベース層104との界面からn-エキタピシャル層103の中央付近に達するように、第1のゲート配線120と、第2のゲート配線121とが設けられている。

【0072】

第1のゲート配線120の第2の主面側の面および第1の主面に垂直に交わる面には、第1のゲート配線120と、pベース層104およびn-エキタピシャル層103とを絶縁するように第1のゲート酸化膜130が設けられており、第2のゲート配線121の第2の主面側の面および第1の主面に垂直に交わる面には、第2のゲート配線121と、pベース層104およびn-エキタピシャル層103とを絶縁するように第2のゲート酸化膜131が設けられている。

また、第1のゲート配線120の第1の主面側には、第1のゲート配線120

と第1のA1層110とを絶縁するために第1の層間絶縁膜140が設けられ、第2のゲート配線121の第1の主面側には、第2のゲート配線121と第1のA1層110とを絶縁するために第2の層間絶縁膜141が設けられている。

【0073】

さらに、pベース層104内の第1のA1層110側に、第5の層間絶縁膜144、第1のA1層110、第1の層間絶縁膜140および第1のゲート絶縁膜130と接するようにエミッタ層150が設けられており、第1のゲート配線120のエミッタ層150が設けられた側と反対側に、第1のA1層110、第1の層間絶縁膜140および第1のゲート絶縁膜130と接するようにエミッタ層150'が設けられている。ほぼ同様に、pベース層104内の第1のA1層110側に、第1のA1層110、第2の層間絶縁膜141および第2のゲート絶縁膜131と接するようにエミッタ層151が設けられており、第2のゲート配線121のエミッタ層151が設けられた側と反対側に、第1のA1層110、第2の層間絶縁膜141および第2のゲート絶縁膜131と接するようにエミッタ層151'が設けられている。

【0074】

第1のゲート配線120や第2のゲート配線121が設けられた第1の主面側方向上近傍には、第1のA1層110の第1の主面側にエミッタ電極（第1の素子側電極）31が設けられている。また、層間絶縁膜34"とpベース層104との間には、前2者と第1のA1層110とエミッタ層150とに接するように第5の層間絶縁膜144が設けられている。

一方、ゲート電極（第2の素子側電極）32の第2の主面側に接して設けられた層は、第1のA1層110を第2のA1層111および第3のゲート配線122によって置換された層からなり、ゲート電極32の第2の主面側から第1の主面側へと、第2のA1層111、第3のゲート配線122が積層されている。

【0075】

なお、第3のゲート配線122は、半導体素子36'の奥行方向において、不図示の配線により第1のゲート配線120および第2のゲート配線121と結線され、これらのゲート配線の電位を制御し、スイッチングを行う。

また、第2のA1層111と第3のゲート配線122とからなる2つの層の、第1のA1層110側の面には、絶縁層34の第2の主面側とも接するように、第3の層間絶縁膜142が設けられており、これら2つの層の第3の層間絶縁膜142が設けられた側と反対側の面には絶縁像34'の第2の主面側とも接するように第4の層間絶縁膜143が設けられている。

【0076】

＜半導体素子（トレンチIGBT素子）の作製＞

次に、上記に説明した半導体素子36'の作製過程について説明する。図5は、図4に示す半導体素子の作製過程の概要を示したフローチャートであり、半導体素子36'は図5に示されるように(1)～(12)のステップ(図5中の丸印で囲まれた数字で示されるステップ)を経て作製した。以下、図5中に示される12のステップに対応して、半導体素子36'の作製過程を順次説明する。

なお、以下の半導体素子36'作製過程の説明は図4に示す半導体素子36'の構成と必ずしも正確に対応するものではないが、説明の都合上、必要に応じて図4に示す半導体素子36'の各部を引用しつつ説明する。

【0077】

(1) pベース層形成、(2) エミッタ層形成、および、(3) FLR層形成

まず、n型シリコン基板(図4中の符号101、102、103および104に相当する部分)の第1の主面側に、フォトリソグラフィ、イオン注入、および、熱拡散を行うことにより、pベース層104、エミッタ層(図4中の符号150、150'、151、151'に相当する部分)、および、FLR(耐压構造FLR(Field Limiting Ring); pベース層104の第1の主面側(上面)であって、pベース層104の外面(第1の主面および第2の主面に垂直に交わる面)に近接する領域にn型シリコン基板の板厚方向に平行に設けられた複数本のストライプ状のP型層(不図示))等を形成した。

【0078】

(4) トレンチゲート形成

次に、スイッチングを制御する目的で以下の手順に第1のゲート配線120および第2のゲート配線121を形成した。まずRIE(Reactive Io

n Etching) を用いて、第1の主面側から第1のゲート配線120および第2のゲート配線121を設けるための2つの溝をn-エキタピシャル層103に達するまで設けた。

【0079】

次に、これら2つの溝の第2の主面側の面と第2の主面に垂直に交わる面とに第1のゲート酸化膜120および第2のゲート酸化膜121を形成した。その後、CVDによって、これら2つの溝の内部を埋めこむようにポリシリコンを形成することにより第1のゲート配線120および第2のゲート配線121を形成した。

【0080】

(5) 層間絶縁膜形成

この際、基板表面(pベース層104の表面)に形成されたポリシリコンは、フォトリソグラフィーにより第1のゲート配線120および第2のゲート配線121の第1の主面側およびその近傍以外の前記基板表面と、前記基板表面方向に設けられるポリシリコンからなる配線部分と、この配線部分と連続して成る第3のゲート配線122に相当する部分と、をレジストによりマスクした後、RIEまたはCDE (Chemical Dry Etching) によってエッチバックすることにより除去し、基板表面に前記配線部分(不図示)と、第3のゲート配線122とを形成した。

その後、第1のゲート配線120および第2のゲート配線121の第1の主面側の面には、他の部分と電氣的に接触するのを防止するために、エッチバック後の基板表面にシリコン酸化膜を成膜した後、フォトリソグラフィおよびRIEによって窓開けを行い、第1の層間絶縁膜140、第2の層間絶縁膜141、第3の層間絶縁膜143、および、第4の層間絶縁膜144を設けた。

【0081】

(6) A1配線形成

このようにして、前記基板表面に、上記に説明したように第1のゲート配線120および第2のゲート配線121を基板に埋めこむ形で形成し、さらに、基板表面に第3のゲート配線122、第1の層間絶縁膜140、第2の層間絶縁膜1

41、第3の層間絶縁膜143、および、第4の層間絶縁膜144を設けた後に、スパッタ法によりA1層を成膜した。次に、このA1層をフォトリソグラフィーおよびエッチングにより、不要な部分を除去し、第1のA1層110と第2のA1層111とを形成した。

【0082】

(7) パッシベーション形成、および、(8) パッド開口

その後、基板表面（主に、第1のA1層110および第2のA1層111で形成される面）にプラズマCVDによりシリコン酸化膜からなる絶縁層（パッシベーション）を設けた。さらに、エミッタ電極31およびゲート電極32が設けるために、第1のA1層110表面および第2のA1層111の表面を覆う絶縁層（パッシベーション）を、フォトリソグラフィーおよびRIEを用いて除去し、エミッタ電極31およびゲート電極32を設けるための2つの溝（パッド）を形成した。

【0083】

(9) 裏面研磨、(10) pコレクター層形成、および(11) 裏面A1層形成

次に、基板の裏面（図4中のpコレクター層101の第2の主面側の面に相当）をラッピング等の方法により研磨し、この研磨面より第1の主面方向に対してpコレクター層101を形成した。pコレクター層101の形成は、ホウ素等のp型半導体の形成が可能な不純物イオンを前記研磨面の表面近傍に注入した後、炉中で400℃～1100℃の範囲でアニール処理することにより行った。

なお、アニールの方法としては、赤外線ランプアニール装置を用いたRTP（Rapid Thermal Process：急速加熱処理）やエキシマレーザを用いた加熱処理を用いることも可能である。

その後、上記したように形成されたpコレクター層101の表面に、裏面電極として第3のA1層112をスパッタや蒸着法により形成する。

【0084】

(12) Niめっき

上記したように作製された基板の第1の主面側に露出するように設けられた第1のA1層110表面および第2のA1層111表面と、前記基板の第2の主面

側に設けられた第3のA1層112表面には、上記した一連の作製プロセスにおいて、汚染物付着したり酸化膜が形成されていたりするため、これらを除去することを目的として、硫酸または燐酸によりエッチングした。

【0085】

硫酸または燐酸によるエッチング処理後の第1のA1層110表面、第2のA1層111表面、および、第3のA1層112表面を、亜鉛を含む強アルカリ溶液に浸漬することによりジンケート処理し、更に、硝酸ニッケルと乳酸と次亜燐酸ナトリウムからなるメッキ浴に浸漬することにより無電解ニッケルメッキを行った。

このようにして、第1のA1層110表面にエミッタ電極31と、第2のA1層111表面にゲート電極32とを形成し、また、第3のA1層112表面にNi層113を形成することにより、これら2つの層からなるコレクター電極（第3の素子側電極）33を形成し、半導体素子36'を得た。

【0086】

このように上記（1）～（12）の工程を経て作製された半導体素子36'を用いて、公知の方法により圧接型半導体装置を作製することも勿論可能であるが、エミッタ電極31表面、ゲート電極32表面、コレクター電極33表面のいずれか1箇所あるいは全てにカーボンナノチューブ等の導電性炭素を含む緩衝導電層を密着して設けた上で、本発明の圧接型半導体装置を作製することができる。

【0087】

なお、本発明の圧接型半導体装置を作製する場合には、半導体素子36'としての機能を損なわない範囲であれば半導体素子36'の作製工程や作製方法、半導体素子の構成や、使用される材料等を、必要に応じて変更することができる。

これは、半導体素子36'以外の半導体素子を用いて本発明の圧接型半導体装置を作製する場合も同様である。

【0088】

例えば、緩衝導電層としてカーボンナノチューブの膜をCVD法によりエミッタ電極31表面、ゲート電極32表面、および、コレクター電極33表面の3箇所に設ける場合には、上記（1）～（12）の工程を経て作製された半導体素子

36' をそのまま用いて、図1に示すような構成を有する圧接型半導体装置を作製することができる。

【0089】

また、緩衝導電層としてカーボンナノチューブの膜をCVD法によりエミッタ電極31表面、および、コレクター電極33表面にのみ設ける場合には、以下に説明するような方法を採用することができる。

例えば、カーボンナノチューブの成膜前に、上記(1)～(12)の工程を経て作製された半導体素子36'のゲート電極32表面を予めフォトリソグラフィーを利用してレジストによって保護しておくことができる。これにより、エミッタ電極31表面、および、コレクター電極33表面にのみにカーボンナノチューブからなる緩衝導電層を設けることができる。あるいは、カーボンナノチューブの成膜時に、メタルマスクによりゲート電極32表面を遮蔽し、ゲート電極32表面にカーボンナノチューブが形成されないようにしてもよい。

【0090】

また、半導体素子36'の作製工程において、Niめっきを行う前に、第2のAl層111表面を予めフォトリソグラフィーを利用してレジストによって保護することもできる。その後、Niめっきを行い、レジストを剥離すれば、Niからなるゲート電極32は形成されず、第2のAl層111の表面が露出した半導体素子36'を得ることができる。この第2のAl層111の表面が露出した半導体素子36'を用いてカーボンナノチューブを成膜した場合には、Al層111の表面には、密着してカーボンナノチューブ膜が形成されることなく、エミッタ電極31表面、および、コレクター電極33表面にのみにカーボンナノチューブからなる緩衝導電層を設けることができる。

【0091】

従って、上記に説明したように、エミッタ電極31表面、および、コレクター電極33表面にのみにカーボンナノチューブからなる緩衝導電層を設けた半導体素子36'を用いれば、図2に示す構成を有する圧接型半導体装置を作製することができる。なお、この際、カーボンナノチューブ膜が形成されなかったゲート電極32表面、あるいは、ゲート電極32表面を形成せずに露出した状態の第2

の A 1 層 1 1 1 の表面には、ワイヤボンドにより配線を接続することができる。

【0 0 9 2】

なお、3つの素子側電極の内、特定の1ないし2つの素子側電極のみにカーボンナノチューブ膜等からなる緩衝導電層を形成する方法は、上記したようなゲート電極 3 2 あるいはゲート電極 3 2 に相当する位置にのみ配線を接続する場合のみならず、エミッタ電極 3 1 やコレクター電極 3 3 の場合においても同様に適用できる。

【0 0 9 3】

【実施例】

以下に本発明を実施例を挙げてより具体的に説明する。但し、本発明は以下の実施例に限定されるものではない。

ー実施例の概要ー

実施例は、半導体素子側に設けられた電極と、筐体側に設けられた電極との圧接部の構成を変えたものを作製することにより各実施例および比較例の圧接型半導体装置を作製し、これらの圧接型半導体装置の電気抵抗と熱伝導性を、素子側電極と筐体側電極との間に加わる圧力に対して評価した。

また、各実施例および比較例の圧接型半導体装置の作製に用いた半導体素子としては、電気的特性や発熱特性が等しく、且つ、図 4 に示す半導体素子（トレンチ I G B T 素子）3 6' と同様の構成を有するものを用い、このトレンチ I G B T 素子の素子側電極表面に必要な応じてカーボンナノチューブを含む緩衝用電極層を設けた。

【0 0 9 4】

（実施例 1）

実施例 1 の圧接型半導体装置としては、上記したような手順にて作製された図 4 に示す半導体素子 3 6' を用いて、半導体素子と筐体との圧接部が図 1 に示すような構成を有する圧接型半導体装置を作製した。

なお、緩衝導電層の形成および圧接型半導体装置の作製は以下に説明する手順にて行った。

【0 0 9 5】

－緩衝導電層の形成－

エミッタ電極 31 表面、ゲート電極 32、および、コレクター電極 33 表面の酸化物を除くために、半導体素子 36' を 10 重量%の硫酸水溶液に 10 秒間浸漬処理した。浸漬処理した半導体素子 36' を十分に水洗、乾燥させた後、自社製の CVD 装置の反応容器内に設置し、反応容器内を真空ポンプにより排気することにより背圧が 1.33 Pa (0.01 Torr) 以下になるまで排気し、水分等の不要なガス成分を蒸発させ、清浄化した。

【0096】

その後、反応容器内に圧力が約 1 気圧 (101.34 kPa) となるように Ar ガスを 850 sccm 流しながら、400℃で 30 分間プレベークを行った。次に、反応容器内の圧力が約 1 気圧 (101.34 kPa) となるように、Ar と C₂H₂ の混合ガス (Ar 流量: 850 sccm、C₂H₂ 流量: 10 sccm) を流しながら、600℃で 15 分間熱処理を行い、カーボンナノチューブからなる第 1 の緩衝導電層 41、第 2 の緩衝導電層 42、第 3 の緩衝導電層を各々、エミッタ電極 31、ゲート電極 32、コレクター電極 33 の表面に形成した。

【0097】

このようにして形成された 3 つの緩衝導電層を走査型電子顕微鏡 (SEM) により観察したところ、いずれの緩衝導電層においてもその膜厚は 10 μm であり、CNT がエミッタ電極 31 や、ゲート電極 32、コレクター電極 33 の膜厚方向に概ね平行な方向に配向し、且つ、密集して形成されていることが確認された。また、個々の CNT の直径は、殆どが 100 nm 以下であり、長さは平均 10 μm 程度であった。

【0098】

－圧接型半導体装置の作製－

次に、カーボンナノチューブからなる緩衝導電層を 3 つの素子側電極表面に形成した半導体素子 36' を、AlN 焼結板 (縦: 約 30 mm、横: 20 mm、厚み: 1 mm) の片面に筐体側電極として Al からなる電極 (厚み: 0.4 mm) を設けた 2 枚の実装基板で、素子側電極と筐体側電極とが接触するように挟んだ。さらに、2 枚の実装基板の筐体側電極が設けられた側の反対側の面を、高い熱

伝導性を有する 2 枚の放熱板 (C u M o 製) で挟んで、半導体素子を加圧し、この放熱板の半導体素子 3 6' が設けられた側と反対側の面に冷却用ブロックを更に取りつけた上、ボルトおよびナットを用いて半導体素子 3 6' を押圧するように固定し、図 3 に示すような圧接型半導体装置 3 と同様の構成を有する実施例 1 の圧接型半導体装置 (以下、「圧接型半導体装置 A」と略す) を得た。

【0 0 9 9】

得られた圧接型半導体装置 A は、半導体素子 3 6' に加える圧力を変えながら、接触抵抗値と、熱抵抗値とを評価した。その結果、圧力の増加に伴い電気抵抗および熱抵抗値共に低下し、圧力が 9 0 k P a 以上 (荷重 1 k g 以上) では、実用に耐えるに十分な接触抵抗値と熱抵抗値を示した。

【0 1 0 0】

(実施例 2)

実施例 2 の圧接型半導体装置としては、上記したような手順にて作製された図 4 に示す半導体素子 3 6' を用いて、半導体素子と筐体との圧接部が図 2 に示すような構成を有する圧接型半導体素子を作製した。

なお、緩衝導電層の形成および圧接型半導体装置の作製は以下に説明する手順にて行った。

【0 1 0 1】

—緩衝導電層の形成—

ゲート電極 3 2 表面がレジストにより予め保護されている半導体素子 3 6' を用い、エミッタ電極 3 1 表面、および、コレクター電極 3 3 表面の酸化物を除くために、半導体素子 3 6' を 1 0 重量%の硫酸水溶液に 1 0 秒間浸漬処理した。浸漬処理した半導体素子 3 6' を十分に水洗、乾燥させた後、自社製の C V D 装置の反応容器内に設置し、反応容器内を真空ポンプにより排気することにより背圧が 1 . 3 3 P a (0 . 0 1 T o r r) 以下になるまで排気し、水分等の不要なガス成分を蒸発させ、清浄化した。

【0 1 0 2】

その後、エミッタ電極 3 1 およびコレクター電極 3 3 表面を活性化するために、反応容器内に圧力が 1 気圧 (1 0 1 . 3 4 k P a) となるように A r ガスを 8

50 sccm 流しながら、300℃で30分間熱処理した。次に、反応容器内の圧力が1気圧（101.34 kPa）に保ったまま、C₂H₂のガスを10 sccm 流しながら、600℃で15分間熱処理を行い、カーボンナノチューブからなる第1の緩衝導電層41、および、第3の緩衝導電層43をエミッタ電極31、および、コレクター電極33の表面に形成した。その後、ゲート電極32表面を保護していたレジスト膜を剥離した。

【0103】

このようにして形成された2つの緩衝導電層を走査型電子顕微鏡（SEM）により観察したところ、いずれの緩衝導電層においてもその膜厚は100 μmであり、CNTがエミッタ電極やコレクター電極の膜厚方向にほぼ平行な方向に配向し、且つ、密集して形成されていることが確認された。また、個々のCNTの直径は、殆どが100 nm以下であり、長さは平均10 μm程度であった。

【0104】

－圧接型半導体装置の作製－

次に、カーボンナノチューブからなる緩衝導電層を2つの素子側電極表面に形成した半導体素子36'を、AlN焼結板（縦：約30 mm、横：20 mm、厚み：1 mm）の片面に筐体側電極としてAlからなる電極（厚み：0.4 mm）を設けた2枚の実装基板で、素子側電極と筐体側電極とが接触するように挟んだ。さらに、2枚の実装基板の筐体側電極が設けられた側の反対側の面を、高い熱伝導性を有する2枚の放熱板（CuMo製）で挟んで、半導体素子を加圧し、この放熱板の半導体素子36'が設けられた側と反対側の面に冷却用ブロックを更に取りつけた上、ボルトおよびナットを用いて半導体素子36'を押圧するように固定し、第2の緩衝導電層42が設けられていないことを除き図3に示すような圧接型半導体装置3と同様の構成を有する実施例2の圧接型半導体装置（以下、「圧接型半導体装置B」と略す）を得た。

【0105】

得られた圧接型半導体装置Bは、半導体素子36'に加える圧力を変えながら、電気抵抗と、熱伝導率とを評価した。その結果、圧力の増加に伴い電気抵抗および熱抵抗値共に低下し、圧力が90 kPa以上（荷重1 kg以上）では、実用

に耐えうるに十分な接触抵抗値と熱抵抗値を示した。

【0106】

(比較例 1)

実施例 1 において、3 つの緩衝導電層を形成しなかった以外は、実施例 1 と同様に作製し、比較例 1 の圧接型半導体装置（以下、「圧接型半導体装置 C」と略す）を得た。得られた比較例 1 の圧接型半導体装置を、実施例 1 と同様に評価した。

その結果、圧力の増加に伴い電気抵抗および熱抵抗値共に低下したものの、緩衝導電層を設けなかった以外は同様の構成を有する実施例 1 の圧接型半導体装置 A と比較すると、電気抵抗および熱抵抗値はいずれの圧力値においても圧接型半導体装置 A よりも圧接型半導体装置 C の方が大きかった。

さらに、圧力が 9 0 k P a （荷重 1 k g）では、実用に耐えうるに十分な接触抵抗値と熱抵抗値を得ることができなかった。すなわち、比較例 1 の圧接型半導体装置 C は、実施例 1 の圧接型半導体装置 A と比較すると、より大きな圧力を加えないと実用に耐えうるに十分な接触抵抗値と熱抵抗値が得られないことが判った。

【0107】

(評価方法)

上記した各実施例および比較例における、接触抵抗値と熱抵抗値に以下に説明する方法により求めた。

— 接触抵抗値 —

実施例および比較例で作製した圧接型半導体装置の接触抵抗値は、実施例および比較例で作製した圧接型半導体装置の電気抵抗値（1）と、該圧接型半導体装置の筐体側電極と素子側電極との圧接部をはんだ付けによって接続した半導体装置の電気抵抗値（2）と、を測定し、両者の差を取ることで求めた。

なお、電気抵抗値（1）には、半導体素子 3 6' のオン抵抗による電圧分と接触抵抗による電圧上昇分とが含まれるのに対して、電気抵抗値（2）の場合には、半導体素子 3 6' の 接触抵抗による電圧上昇分は無視できるため、両者の差を取ることで、接触抵抗値を求めることができる。

電気抵抗値（１）および（２）の測定は、ソニーテクロニクス社製、ハイパワー・カーブ・トレーサー 3 7 1 A 型を用い、ゲート電圧 1 5 V を印加し、コレクター電流を 2 0 0 A 流した場合のオン電圧を測定することにより行った。

【 0 1 0 8 】

－熱抵抗値－

アルミニウム製の板（厚さ約 5 mm）で作製された水冷ブロック（縦 3 5 c m × 横 4 0 c m × 高さ 7 c m）と恒温槽との間を冷却水が循環可能なようにポンプを介して接続し、冷却水の水温を 6 5 ℃ に保持しながら循環させた。

次に、この水冷ブロック上に実施例および比較例で作製した圧接型半導体装置を固定し、半導体素子 3 6 ' の消費電力が 8 0 W となるように電源電圧およびゲート電圧を調整した。この状態で熱電対を半導体素子 3 6 ' に固定してその温度を測定し、半導体素子 3 6 ' の温度と冷却水の水温（6 5 ℃）との差を半導体素子 3 6 ' の消費電力で割ることにより、熱抵抗を求めた。

【 0 1 0 9 】

【発明の効果】

以上に説明したように本発明によれば、半導体素子に加えられる圧力が小さくても、素子側電極と筐体側電極との圧接部での電気抵抗および熱抵抗の小さい圧接型半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の圧接型半導体装置の構成の一例を示す模式断面図である。

【図 2】 本発明の圧接型半導体装置の構成の他の例を示す模式断面図である。

【図 3】 本発明の圧接型半導体装置の構成の他の例を示す模式断面図である。

【図 4】 半導体素子（トレンチ I G B T 素子）の模式断面図である。

【図 5】 図 4 に示す半導体素子の作製過程の概要を示したフローチャートである。

【符号の説明】

- 1 圧接型半導体装置
- 2 圧接型半導体装置
- 3 圧接型半導体装置
- 1 0 第 1 の筐体側電極
- 1 0' 第 1 の筐体側電極
- 1 1 第 1 の筐体板
- 2 0 第 2 の筐体側電極
- 2 1 第 2 の筐体板
- 3 1 第 1 の素子側電極（エミッタ電極）
- 3 2 第 2 の素子側電極（ゲート電極）
- 3 3 第 3 の素子側電極（コレクター電極）
- 3 4 絶縁層
- 3 4' 絶縁層
- 3 4" 絶縁層
- 3 5 半導体素子主要部
- 3 6 半導体素子
- 3 6' 半導体素子（トレンチ I G B T 素子）
- 4 1 第 1 の緩衝導電層
- 4 2 第 2 の緩衝導電層
- 4 3 第 3 の緩衝導電層
- 5 1 第 1 の主面
- 5 2 第 2 の主面
- 5 0 第 1 の放熱板
- 5 1 第 1 の水冷ブロック
- 5 2 液体流路
- 6 0 第 2 の放熱板
- 6 1 第 2 の水冷ブロック
- 6 2 液体流路
- 7 0、7 1 ボルト

7 2、7 3 ナット

1 0 1 p コレクター層

1 0 2 n バッファ層

1 0 3 n-エキタピシャル層

1 0 4 p ベース層

1 1 0 第1のA1層

1 1 1 第2のA1層

1 1 2 第3のA1層

1 1 3 Ni層

1 2 0 第1のゲート配線

1 2 1 第2のゲート配線

1 2 2 第3のゲート配線

1 3 0 第1のゲート酸化膜

1 3 1 第2のゲート酸化膜

1 4 0 第1の層間絶縁膜

1 4 1 第2の層間絶縁膜

1 4 2 第3の層間絶縁膜

1 4 3 第4の層間絶縁膜

1 4 4 第5の層間絶縁膜

1 5 0 エミッタ層

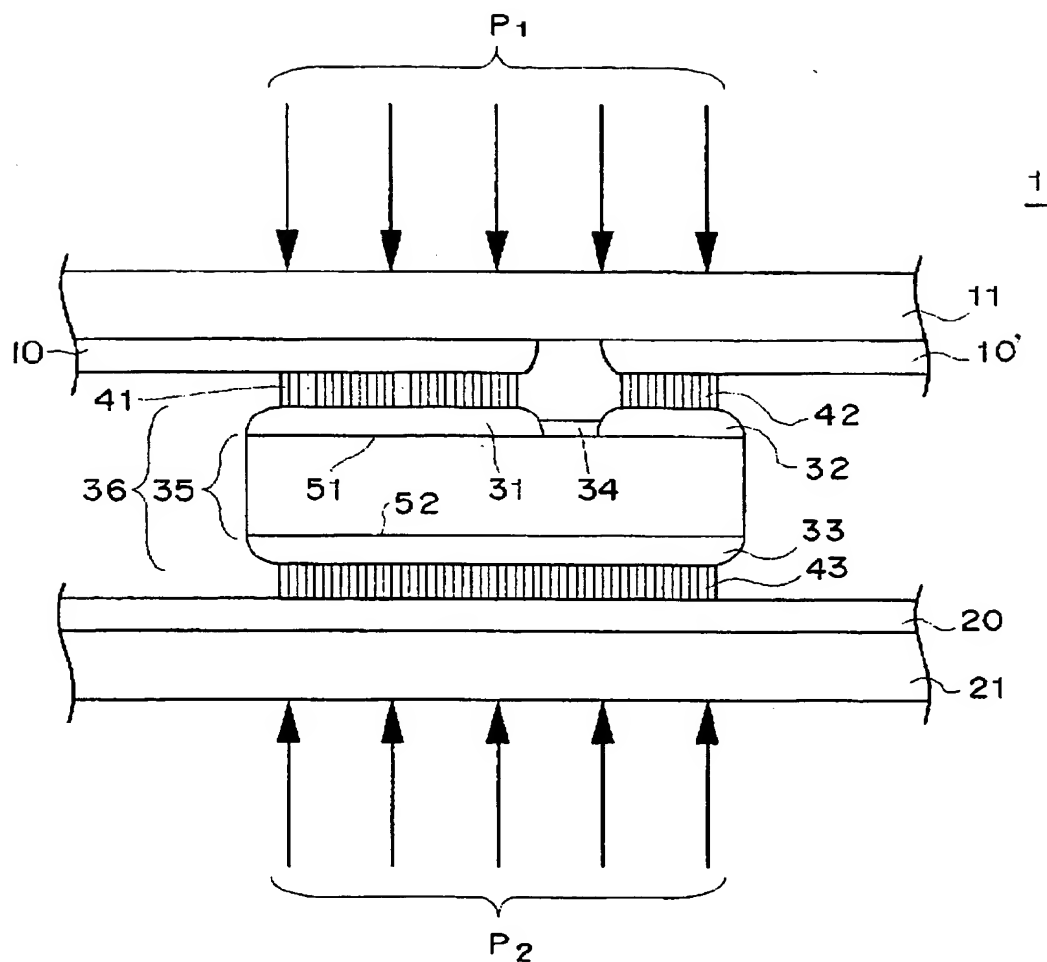
1 5 0' エミッタ層

1 5 1 エミッタ層

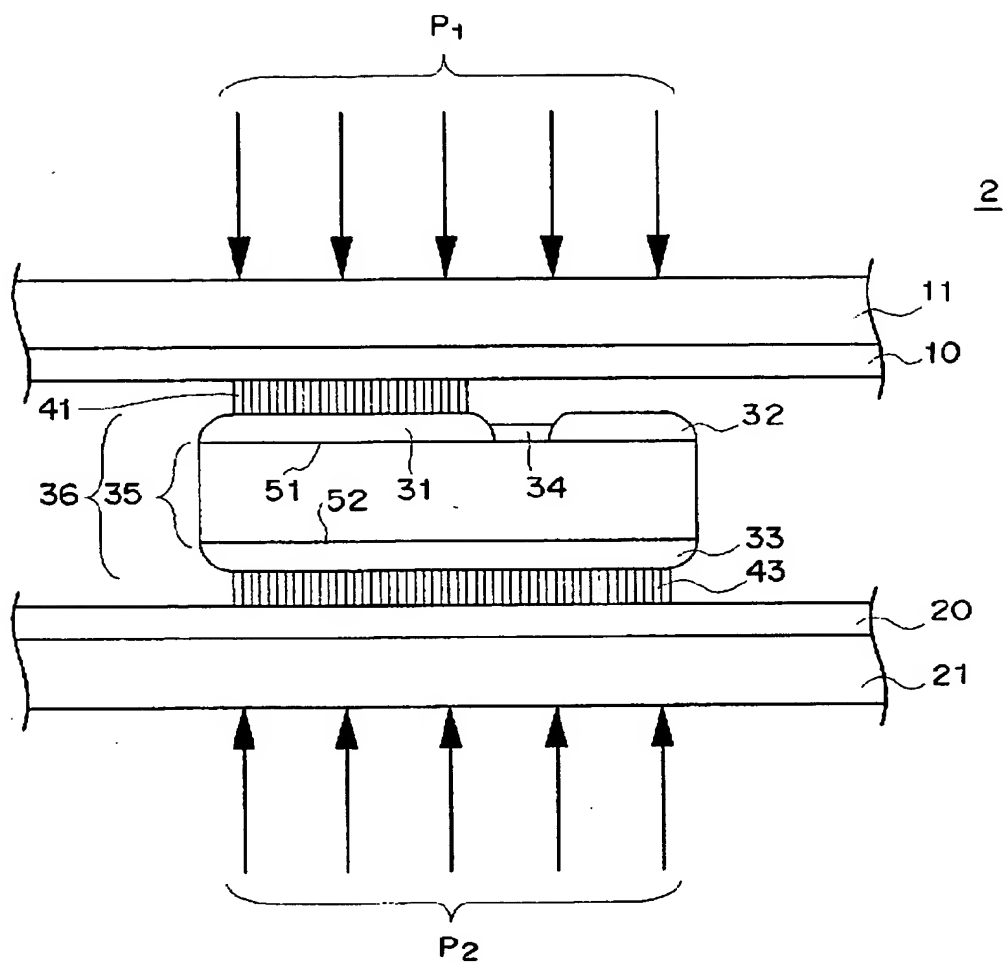
1 5 1' エミッタ層

【書類名】 図面

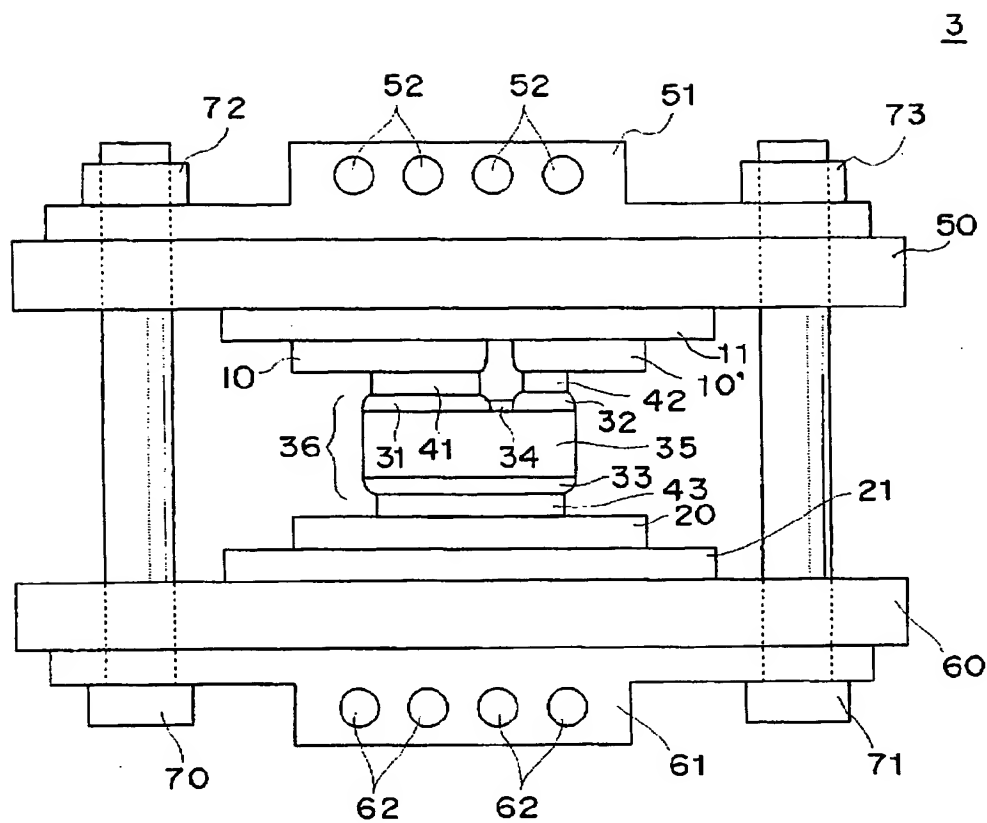
【図 1】



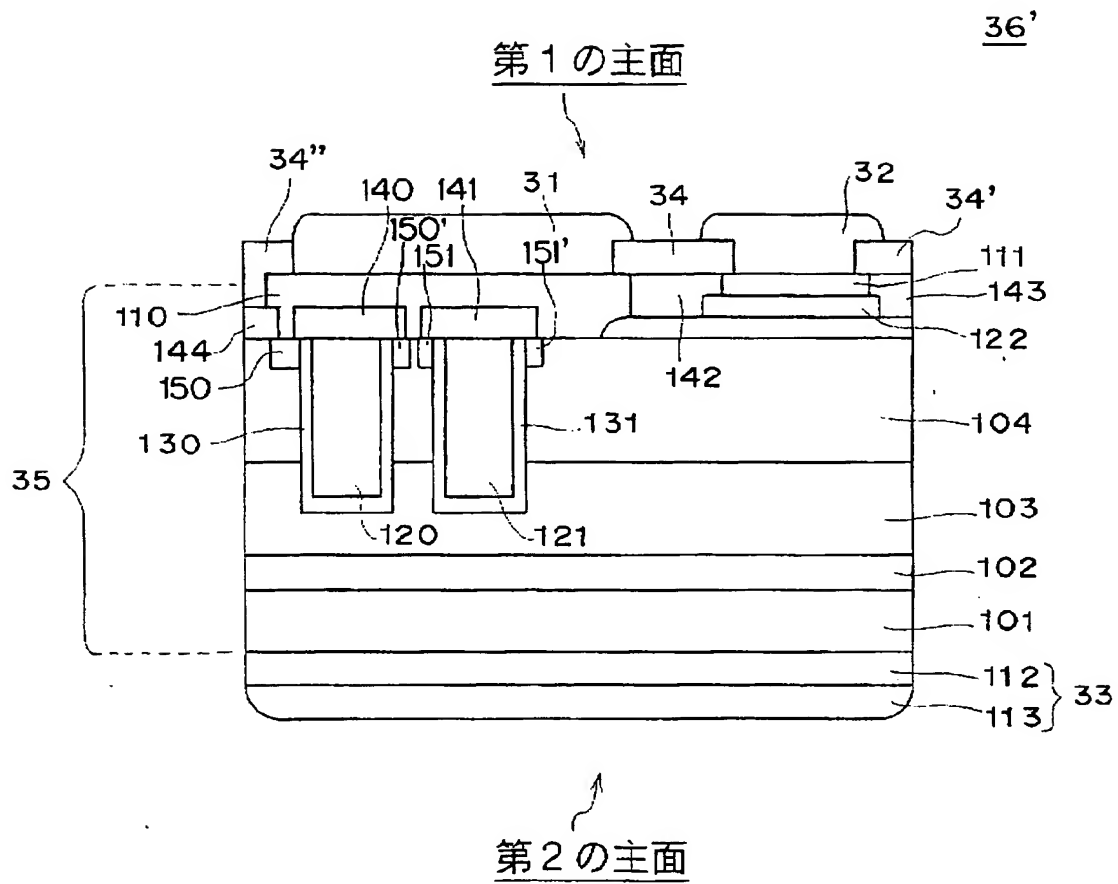
【図 2】



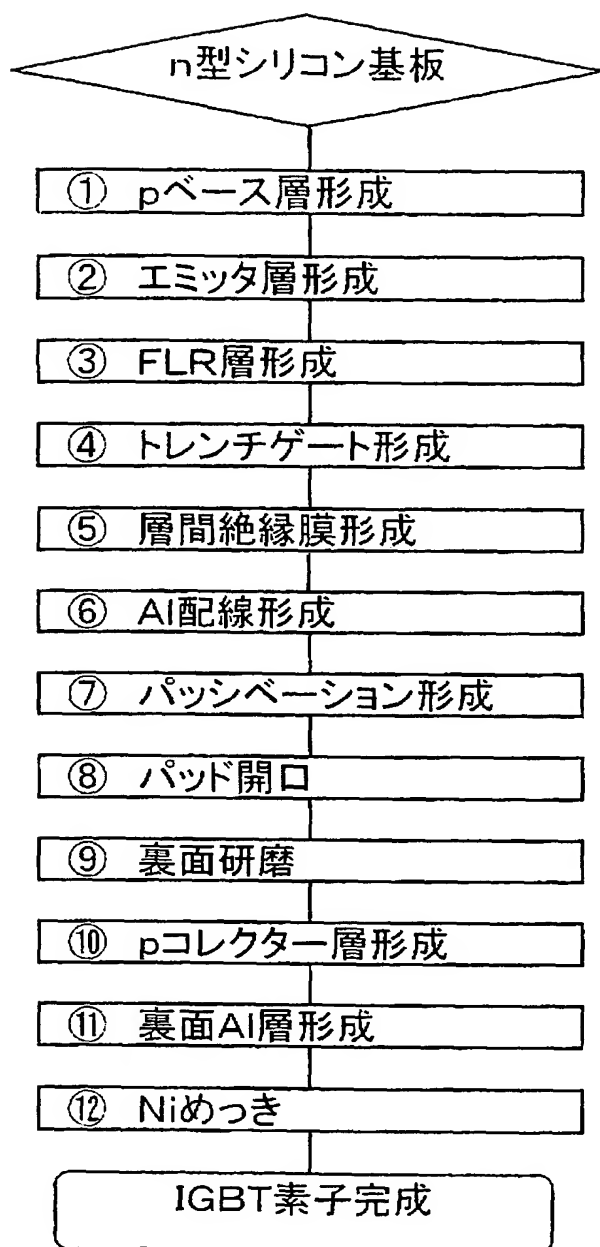
【図 3】



【図 4】



【図 5】



トレンチIGBT素子の作製プロセス

【書類名】 要約書

【要約】

【課題】 半導体素子に加えられる圧力が小さくても、素子側電極と筐体側電極との圧接部での電気抵抗および熱抵抗の小さい圧接型半導体装置を提供すること。

【解決手段】 筐体の内部に、少なくとも 1 個以上の半導体素子を設けた圧接型半導体装置において、第 1 の筐体側電極と第 1 の主面に設けた素子側電極との圧接部、および／または、第 2 の筐体側電極と第 2 の主面に設けた素子側電極との圧接部に、導電性炭素を含む緩衝導電層が設けられたことを特徴とする圧接型半導体装置。

【選択図】 なし

特願 2 0 0 2 - 2 6 6 9 4 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 6 0 9]

1. 変更年月日

1 9 9 0 年 9 月 6 日

[変更理由]

新規登録

住 所

愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1

氏 名

株式会社豊田中央研究所